

6.7. PODSTAWOWE POJĘCIA, PYTANIA SPRAWDZAJĄCE I ZADANIA

Podstawowe pojęcia

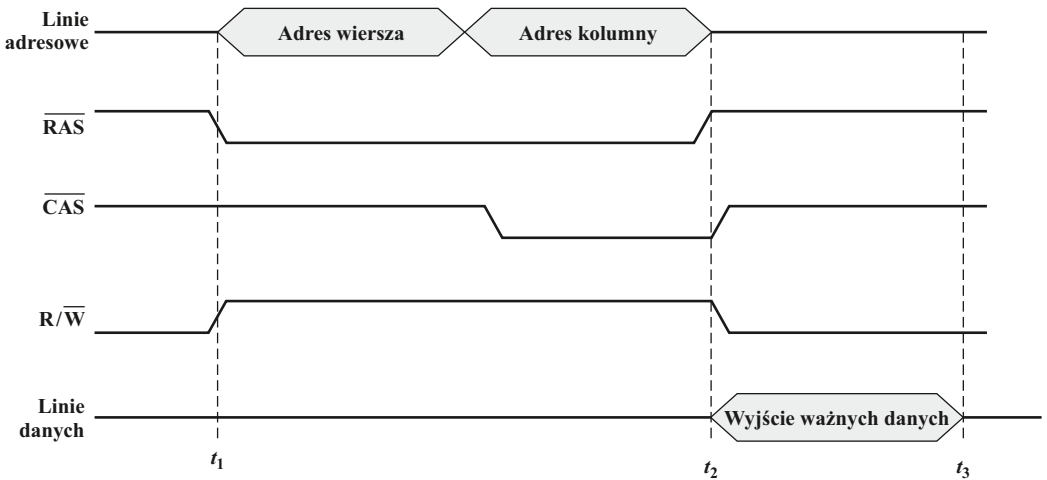
błąd przypadkowy	korekcja błędów	programowalna pamięć ROM (PROM)
błąd stały	optycznie wymazywalna	przebieg czasowy
DRAM o podwójnej szybkości transmisji danych (DDR DRAM)	programowalna pamięć ROM (EPROM)	RAM magnetyczny (MRAM)
dynamiczna pamięć RAM (DRAM)	pamięć flash	rezystywna pamięć RAM (ReRAM)
elektrycznie wymazywalna programowalna pamięć ROM (EEPROM)	pamięć flash NAND	słowo-syndrom
grupa banków	pamięć flash NOR	spin-transfer torque (STT-RAM)
kod Hamminga	pamięć głównie do odczytu	statyczna pamięć RAM (SRAM)
kod korekcji błędów (ECC)	pamięć nieulotna	synchroniczna pamięć DRAM (SDRAM)
kod korekcji pojedynczego błędu (SEC)	pamięć o dostępie swobodnym (RAM)	wymazywalne elektrycznie
kod korekcji pojedynczego i podwójnego błędu (SEC-DED)	pamięć półprzewodnikowa	
	pamięć tylko do odczytu (ROM)	
	pamięć ulotna	
	pamięć zmiennofazowa (PCRAM)	

Pytania sprawdzające

- 6.1. Jakie są kluczowe właściwości pamięci półprzewodnikowej?
- 6.2. Jakie są dwie interpretacje terminu pamięć o dostępie swobodnym?
- 6.3. Jaka jest różnica między DRAM i SRAM pod względem zastosowania?
- 6.4. Jaka jest różnica między DRAM i SRAM pod względem cech takich jak szybkość, pojemność i koszt?
- 6.5. Wyjaśnij, dlaczego jeden typ pamięci RAM jest uważany za analogowy, a drugi za cyfrowy.
- 6.6. Jakie są zastosowania pamięci ROM?
- 6.7. Jakie są różnice między EPROM, EEPROM i pamięcią flash?
- 6.8. Wyjaśnij funkcję każdej końcówki na rysunku 5.4b.
- 6.9. Co to jest bit parzystości?
- 6.10. Jak interpretowane jest słowo-syndrom kodu Hamminga?
- 6.11. Czym SDRAM różni się od zwykłej pamięci DRAM?
- 6.12. Co to jest pamięć RAM DDR?
- 6.13. Jaka jest różnica między pamięciami flash NAND i NOR?
- 6.14. Wymień i krótko zdefiniuj trzy nowsze technologie nieulotnej pamięci półprzewodnikowej.

Zadania

- 6.1. Zasugeruj powody, dla których pamięci RAM tradycyjnie były zorganizowane jako tylko jeden bit na mikroukład, podczas gdy pamięci ROM są zwykle zorganizowane z wieloma bitami na mikroukład.
- 6.2. Rozważ dynamiczną pamięć RAM, która musi mieć cykl odświeżania wynoszący 64 razy na ms. Każda operacja odświeżania wymaga 150 ns, natomiast cykl pamięci 250 ns. Jaki procent całkowitego czasu działania pamięci należy przeznaczyć na odświeżanie?
- 6.3. Rysunek 6.22 przedstawia uproszczony schemat przebiegu czasowego dla operacji odczytu pamięci DRAM przez magistralę. Uważa się, że czas dostępu wynosi od t_1 do t_2 . Następnie wymagany jest czas ponownego ładowania, trwający od t_2 do t_3 , podczas którego mikroukłady DRAM muszą zostać ponownie naładowane, zanim procesor będzie mógł ponownie uzyskać do nich dostęp.



Rysunek 6.22. Uproszczony przebieg czasowy operacji odczytu pamięci DRAM

- a. Załóż, że czas dostępu wynosi 60 ns, a czas ładowania 40 ns. Jaki jest czas trwania cyklu pamięci? Jaka jest maksymalna szybkość transmisji danych, jaką może utrzymać ta pamięć DRAM, przy założeniu 1-bitowego wyjścia?
 - b. Jaką szybkość przesyłania danych może zapewnić 32-bitowy system pamięci zbudowany przy użyciu tych mikroukładów?
- 6.4. Na rysunku 6.6 pokazano konstrukcję modułu mikroukładów o pojemności 1 MB, zbudowany przy użyciu grupy czterech mikroukładów o pojemności 256 kb każdy. Przyjmij, że ten moduł mikroukładów został zapakowany jako pojedynczy mikroukład o pojemności 1 MB, w którym rozmiar słowa to 1 bajt. Podaj wysokopoziomowy schemat układu, jak zbudować pamięć komputerową o pojemności 8 MB przy użyciu ośmiu układów o pojemności 1 MB. Pamiętaj, by pokazać na diagramie linie adresowe i określić, do czego są używane.

- 6.5. W typowym systemie opartym na procesorze Intel 8086, podłączonym za pośrednictwem magistrali systemowej do pamięci DRAM, w celu wykonania operacji odczytu, aktywowany jest $\overline{\text{RAS}}$ przez opadające zbocze sygnału włączenia adresu (Address Enable, rysunek A.1 w dodatku A). Jednak ze względu na propagację i inne opóźnienia $\overline{\text{RAS}}$ nie staje się aktywny przez 50 ns po tym, jak stan linii włączenia adresu (Address Enable) wraca do stanu niskiego. Przyjmij, że to ostatnie zdarzenie występuje w połowie drugiej połowy stanu T_1 (nieco wcześniej niż na rysunku A.1). Dane są odczytywane przez procesor pod koniec T_3 . Jednak w celu terminowego dostarczenia danych do procesora dane muszą zostać doręczone przez pamięć 60 ns wcześniej. Ten okres uwzględnia opóźnienia propagacji wzdłuż ścieżek danych (od pamięci do procesora) oraz wymagania procesora dotyczące czasu posiadania danych. Przyjmij, że częstotliwość taktowania wynosi 10 MHz.
- Jak szybkie (czas dostępu) powinny być pamięci DRAM, jeśli mają być nieużywane jakiekolwiek stany oczekiwania?
 - Ile stanów oczekiwania należałoby wstawić na pojedynczą operację odczytu z pamięci, gdyby czas dostępu do pamięci DRAM wynosił 150 ns?
- 6.6. Pamięć pewnego mikrokomputera została zbudowana z $64 \text{ K} \times 1$ układów DRAM. Zgodnie z arkuszem danych technicznych macierz komórek pamięci DRAM jest zorganizowana w 256 wierszy. Każdy wiersz musi być odświeżany co najmniej raz na 4 ms. Załóż, że pamięć jest odświeżana ściśle okresowo.
- Jaki jest czas między kolejnymi żądaniami odświeżenia?
 - Jak długi musi być adres licznika odświeżania?
- 6.7. Na rysunku 6.23 pokazano jedną z wczesnych pamięci SRAM, układ 16×4 Signetics 7489, który przechowuje 16 4-bitowych słów.
- Wymień tryb działania tego układu dla każdego sygnału wejściowego CS pokazanego na rysunku 6.23c.
 - Podaj zawartość pamięci dla lokacji słów od 0 do 6 po sygnale n.
 - Jaki jest stan wyprowadzeń danych wyjściowych dla sygnałów wejściowych od h do m?
- 6.8. Zaprojektuj pamięć 16-bitową o pojemności całkowitej 8192 bity, wykorzystując mikroukłady SRAM 64×1 bit. Podaj konfigurację macierzy mikroukładów na płycie drukowanej, wskazując wszystkie wymagane sygnały wejściowe i wyjściowe, które umożliwiłyby przypisanie tej pamięci do najmniejszej przestrzeni adresowej. Projekt powinien pozwalać zarówno na dostęp do bajtów, jak i do słów 16-bitowych.
- 6.9. Powszechną jednostką miary wskaźnika awarii komponentów elektronicznych jest **Failure unIT** (FIT), która jest wyrażana jako wskaźnik awarii na miliard godzin pracy urządzenia. Inną dobrze znaną, ale rzadziej używaną miarą jest **średni czas między awariami** (MTBF, ang. mean time between failures), czyli średni czas działania danego komponentu aż do momentu jego awarii. Rozważ 1 MB pamięci 16-bitowego mikroprocesora z $256 \text{ K} \times 1$ pamięci DRAM. Oblicz odpowiednią wartość MTBF, zakładając 2000 FITS dla każdej pamięci DRAM.